

# 基于容忍单粒子效应的集成电路加固方法研究

徐亚伟<sup>1,2</sup>

(1. 安徽工程大学电气工程学院, 安徽芜湖 241002; 2. 安徽机电职业技术学院, 安徽芜湖 241000)

**摘要:**针对现有容忍单粒子效应的锁存器结构无法同时容忍单粒子翻转(SEU)、单粒子瞬态(SET),以及未考虑电荷共享导致的双节点翻转(DNU)问题,提出一种高可靠性的同时容忍SEU、SET和DNU的锁存器加固结构SRDT-SET。基于空间和时间冗余原理,该锁存器结构采用了多个输入分离的施密特触发器来构建高可靠性数据存储反馈环,同时内嵌多个施密特触发器。HSPICE仿真结果表明,SRDT-SET锁存器结构能够从SEU中在线自恢复,容忍的SET脉冲宽度更宽,并且能够有效容忍DNU,功耗-延迟综合开销不大,有效增强了SET脉冲的过滤能力。

**关键词:**单粒子效应;单粒子翻转;单粒子瞬态;双节点翻转;锁存器加固;电路可靠性

**中图分类号:**TN43

**文献标志码:**A

## 引言

宇宙高能粒子引发的单粒子翻转(Single Event Upset, SEU)是造成存储元件产生软错误的主要因素。集成电路技术的飞速发展使得晶体管尺寸更加小巧、工作电压愈加低,导致每个节点上存储的电荷更少,而电路的工作频率却不断增加。晶体管本身结构上的这些变化因素加剧了软错误,并成为影响电路可靠性的主要因素。粒子入射轨迹上的电子-空穴对就会被电极收集,从而形成瞬时电流,如图1所示。当不存在电场时,电离的电子-空穴对不会对电路的正常工作产生影响。如果发生在存储元件中,晶体管漏极与衬底之间的电荷漂移将导致存储元件的正常逻辑状态发生改变,从而发

生单粒子翻转<sup>[1]</sup>,主要表现为某一个节点的数据位发生翻转,而在较坏的情况下可能会导致某两个节点的数据位发生翻转(Double Node Upset, DNU)。另一方面,上述情形如果发生在组合电路块中,较大的瞬时电流可能会使逻辑门的输出电压发生瞬态的变化,从而发生单粒子瞬态(Single Event Transient, SET),在逻辑门的输出端表现为瞬时的SET脉冲,而在较坏的情况下可能会在多个逻辑门的输出端产生瞬时的脉冲(Single Event Multiple Transient, SEMT)。

关于容忍单粒子效应的集成电路抗辐射加固技术,国内外已经提出了很多方案。但许多设计仍然会因为受到高能量粒子轰击而引发软错误,不适用于高可靠系统。针对现有容忍单粒子效应的锁存器结构无法同时

收稿日期:2018-04-23

基金项目:安徽省教育厅科研基金项目(KJ2016A135)

作者简介:徐亚伟(1987-),男,安徽潜山人,讲师,硕士,主要从事容错、图像处理方面的研究,(E-mail) ahjdxw@126.com

容忍 SEU、SET,以及未考虑电荷共享导致的 DNU 问题,提出了本文方案,即一种高可靠性的同时容忍 SEU、SET 和 DNU 的锁存器加固结构 SRDT-SET。基于空间和时间冗余原理,该锁存器结构采用了多个输入分离的施密特触发器来构建高可靠性数据存储反馈环,达到有效容忍 SEU 和 DNU 的目的,同时通过内嵌的多个施密特触发器,有效增强了 SET 脉冲的过滤能力。

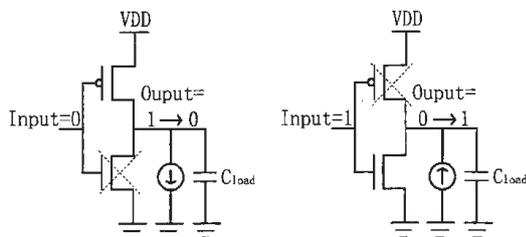


图1 软错误模型

## 1 单粒子效应的建模方法

### 1.1 器件级模型

器件级模型通过器件模拟来体现。器件模拟是在特定边界条件下对半导体物理基本方程进行求解,从而得到器件内部物理量重分布的过程。早在1984年,IBM学者就通过器件模拟的方法发现了粒子入射的漏斗效应<sup>[2]</sup>。目前,一种广为采用的研究单粒子效应电荷收集的方法就是器件模拟。

通过器件模拟,诸如器件的各端电压和电流在粒子入射后的变化情况是可以计算得到的。器件模拟时会根据半导体器件特征尺寸的不同而取不同的物理模型,目前广为采用的是漂移-扩散模型。此外,如果加入特定的描述方程,还能够对碰撞电离、粒子散射等微观效应进行模拟。

### 1.2 电路级模型

在电路级的单粒子效应建模中,IBM公司的Freeman提出了单指数电流源模型<sup>[3]</sup>。

$$I_{inj}(t) = \frac{2Q}{\tau\sqrt{\pi}} \sqrt{\frac{t}{\tau}} \exp\left(-\frac{t}{\tau}\right) \quad (1)$$

式中: $Q$ 为入射粒子沉积电荷量, $\tau$ 为脉冲波形时间常数,其取值和电路工艺尺寸息息相关。

另一方面,Messenger提出了双指数电流源模型<sup>[4]</sup>,并且被广泛应用<sup>[3,5-7]</sup>。该模型通过将两个双指数电流注入到电路的某个节点,实现对单粒子效应的模拟。双指数电流源模型为:

$$I_{inj}(t) = I_0(e^{-t/\tau_1} - e^{-t/\tau_2}) \quad (2)$$

其中: $I_0$ 为入射粒子产生的最大电流,它的取值为 $Q/(\tau_1 - \tau_2)$ ;  $Q$ 为收集的沉积电荷总量; $\tau_1$ 与 $\tau_2$ 分别为电荷收集时间常数与电荷通道建立时间常数,是工艺相关的常数因子。

## 2 相关加固锁存器结构

### 2.1 标准静态锁存器

标准静态锁存器主要由两个传输门TG1、TG2,以及三个反相器inv1、inv2、inv3组成<sup>[8]</sup>,如图2所示。D为输入端、Q为输出端,CLK为时钟信号,CLKB为时钟信号的反信号,n1和n2为两个内部节点。标准静态锁存器存在的问题就是不能容忍单粒子效应。

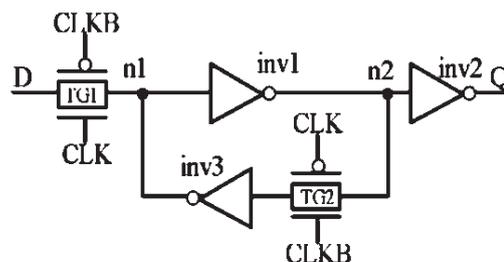


图2 标准静态锁存器

### 2.2 空间冗余技术

空间冗余基本思想是增加冗余的硬件,使锁存器结构具有更多的冗余节点或冗余子模块进行单粒子效应的容忍<sup>[9]</sup>。TMR锁存器主要由三个标准静态锁存器和一个表决器组成<sup>[10]</sup>,如图3所示。通常三个标准静态锁存器都输出或保存一致的逻辑值,经过表决器后仍是正确的逻辑值。在出现错误的情况下,有一个标准静态锁存器出现错误,但表决后仍然可得到正确的逻辑值。

### 2.3 施密特触发器

施密特触发器具有过滤SET脉冲的作用并能够将正常的输入信号进行反相输出<sup>[11]</sup>,如图4所示。当D

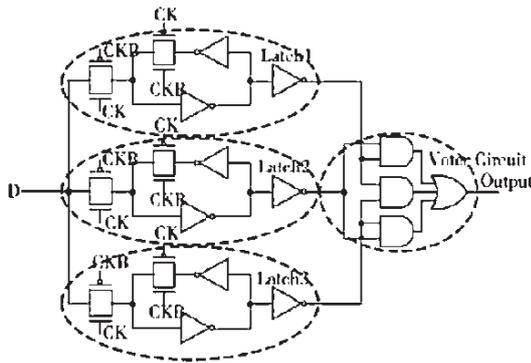


图 3 TMR 锁存器

端有低电平数据, M6 打开。如果 D 端到来一个 0-1-0 型 SET 脉冲, 即 SET 正脉冲, 当短暂的高电平到达 D 端后, M3 和 M4 会被短暂打开, 因为 N2 点被预先充电为高电平, 所以需要部分时间下拉为低电平。在 N2 被下拉为低电平期间, SET 正脉冲的短暂高电平可能已经传输完毕, 所以 Q 端还没有来得及下拉为低电平, 即 Q 端一直为高电平。由此可见, D 端点到达的正常低电平数据中即使附带了 SET 正脉冲干扰信号, 输出端一直为高电平, 即 SET 脉冲被过滤掉, 并且输入信号被反转, 此即为施密特触发器的特有功能。

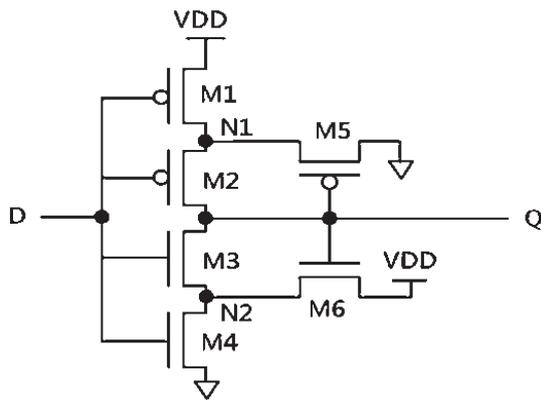


图 4 施密特触发器

### 2.4 时间冗余技术

施密特触发器使用了时间冗余技术, 也就是通过增加延迟进行 SET 脉冲的容忍<sup>[12]</sup>。但是施密特触发器增加的延迟有限, 所以只能过滤比较窄的 SET 脉冲。

由图 5 可知, 该锁存器只是将图 2 中标准静态锁存器的 inv1 替换为施密特触发器。因为施密特触发器具有 SET 脉冲过滤功能, 并且它处于透明模式下的数据通

路上, 所以该锁存器在透明模式下能够过滤 SET 脉冲。因为施密特触发器的各个节点临界电荷比较大, 比普通的反相器更具备一定的抗 SEU 能力, 所以该锁存器在锁存模式下具备一定的 SEU 容忍能力<sup>[13]</sup>。

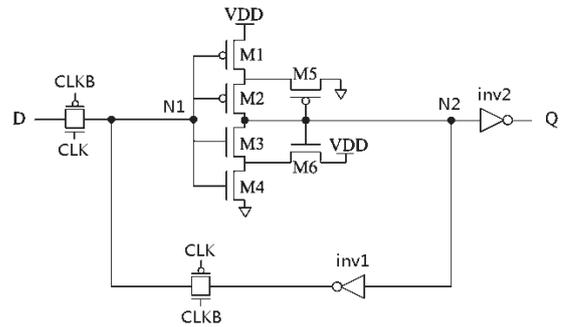


图 5 ST 锁存器

### 2.5 LCHR 锁存器

LCHR 锁存器主要由三个锁存模块 Part1、Part2 和 Part3, 以及一个钟控的 C 单元构成, 如图 6 所示<sup>[14]</sup>。其中, 器件 S 为能够过滤 SET 脉冲的施密特触发器。在透明模式下, 数据路径 D-TG2-I3-S-Q 被开启, 并且 Part1 和 Part2 以及 C 单元被充电, 但因为 C 单元的钟控作用, 输出端 Q 的数据并不会由 C 单元的输入来决定; 因为 Part1、Part2 和 Part3 中的钟控作用, 它们的反馈环还没有建立。因为 S 能够过滤 SET 脉冲, 所以该锁存器过滤 SET 脉冲。在锁存模式下, Part1、Part2 和 Part3 的反馈环被建立起来, 并且输出端 Q 由 C 单元的两组输入决定, 输出端 Q 还由 Part3 决定。

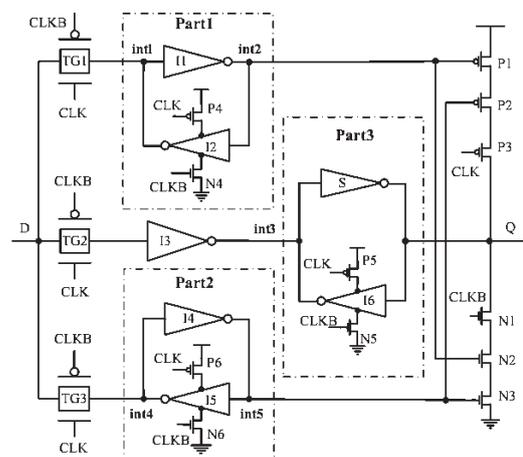


图 6 LCHR 锁存器

### 3 容忍单粒子效应的锁存器结构设计

#### 3.1 输入分离的施密特触发器

输入分离的施密特触发器是将原有施密特触发器的单个输入拆分为两组输入,每一组输入都是分别连接到一个 PMOS 晶体管以及一个 NMOS 晶体管的栅极<sup>[15-17]</sup>,如图 7 所示。从另外一个角度来看,输入分离的施密特触发器是将原有 C 单元的内部节点分别插入一个 PMOS 晶体管和一个 NMOS 晶体管,并且 PMOS 晶体管和 NMOS 晶体管的源极分别接入 GND 和 VDD,然后将插入的两个晶体管的栅级同时与输出端进行互连接,由此构成输入分离的施密特触发器。

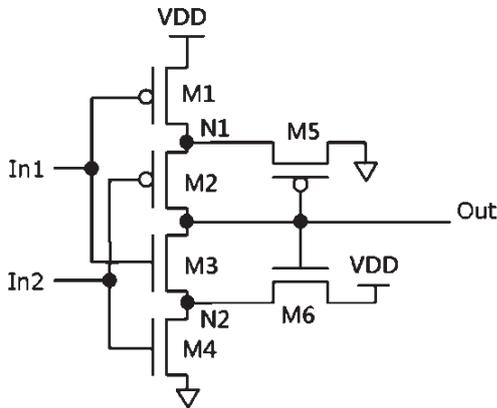


图 7 输入分离的施密特触发器

#### 3.2 SRDT-SET 的电路结构

本文所提出的电路结构该结构主要由三个传输门 TG1、TG2、TG3、虚线框部分所示的三个输入分离的施密特触发器 CST1、CST2、CST3,以及两个反相器 inv1 和 inv2 构成,如图 8 所示。右上角的反相器 inv1 为钟控反相器。CLK 和 CLKB 分别是时钟信号和时钟信号的反信号,D 和 Q 分别是输入端和输出端,N1 到 N5 为五个内部节点。

#### 3.3 SRDT-SET 的容错原理

在透明模式下,三组输入分离的施密特触发器 CST1、CST2 和 CST3 都能够过滤 SET 脉冲。假定输入端 D 的正常信号为低电平,N1、N2 均为低电平,即 CST1 的两组输入均为低电平,所以 CST1 中的两个 PMOS 晶体管都被打开,CST1 的输出 N4 就被上拉为高电平。因为

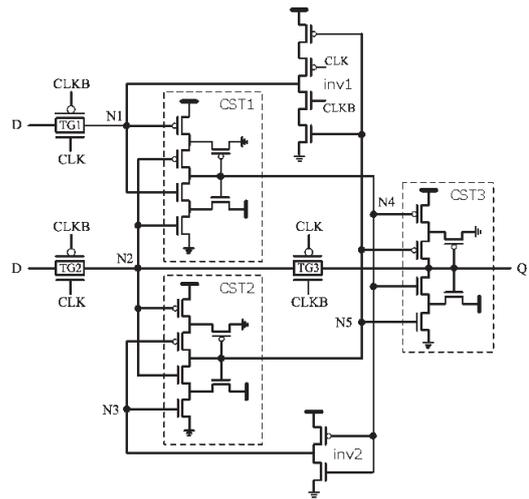


图 8 提出的 SRDT-SET 锁存器

N4 为高电平,即 inv2 的输入为高电平,所以 inv2 中的 NMOS 晶体管被打开,inv2 的输出 N3 就被下拉为低电平。因为 N2、N3 均为低电平,即 CST2 的两组输入均为低电平,所以 CST2 中的两个 PMOS 晶体管都被打开,CST2 的输出 N5 就被上拉为高电平。因为 N4、N5 为高电平,即 CST3 的两组输入均为高电平,所以 CST3 中的两个 NMOS 晶体管都被打开,CST3 的输出 Q 就被下拉为低电平。到达 D 的低电平信号就被顺利地传输到输出端 Q,并且 SRDT-SET 锁存器中所有节点的状态都被确定下来。

在锁存模式下,N2 和 Q 节点完全等效。从图 7 可知,共有 N1、N3、N4、N5、Q 五个 SEU 敏感节点。在考虑 DNU 的情况下,共有 10 个 DNU 敏感节点对。在考虑 SEU 的情况下,当 N1 发生 SEU,因为 CST1 中 C 单元的作用,错误不会输出到 N4,并且因为 inv1 的输入 N5 没有发生错误,所以 N1 能够通过 inv1 进行恢复。同理,当 N3 也能恢复。当 N4 节点发生 SEU,因为 CST3 中 C 单元的作用,错误不会输出到 Q;错误虽然会通过 inv2 输出到 N3,但是因为 CST2 中 C 单元的作用,错误不会输出到 N5,因为 CST2 的另一组输入 Q 没有发生错误;N5 没有发生错误,那么 inv1 的输出 N1 也没有发生错误,即 CST1 的两组输入都没有发生错误,所以 N4 能够通过 CST1 的输入进行恢复。同理,N5 或者 Q 节点也能恢复。可见,五个 SEU 节点中每一个发生 SEU 都能进行恢复。

## 4 仿真实验与结果分析

### 4.1 SRDT – SET 的仿真实验设计

分别在 CLK 为高电平的 1 ns ~ 2 ns, 3 ns ~ 4 ns, 5 ns ~ 6 ns 期间, 向输入端 D 分别注入了 SET 正脉冲、负脉冲, 如图 9 所示; 负脉冲、正脉冲, 如图 10 所示; 正脉冲、负脉冲, 如图 11 所示。由于 1 ns ~ 2 ns 期间注入的 SET 脉冲宽度比较小, 没有被传输到 CST1 的输出 N4 和 CST2 的输出 N5, 所以也不会被传输到 CST3 的输出 Q。在 3 ns ~ 4 ns 期间注入的 SET 脉冲宽度增大, 所以正负脉冲都被传输到 N4, 有部分原始的 D 端正脉冲被传输到 N5, CST3 将这个部分脉冲过滤掉, 所以也不会被传输到 Q。在 3 ns ~ 4 ns 期间注入的 SET 脉冲宽度更大, 所以正负脉冲都被传输到 N4, 也被传输到了 N5。由于 CST3 对脉冲的过滤能力是有限的, 所以原始的 D 端正脉冲被传输到了 Q, 而负脉冲被过滤掉了。

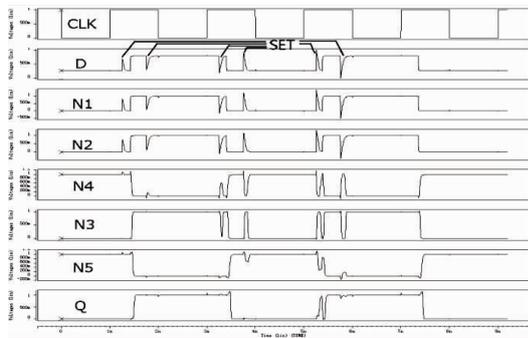


图 9 注入 SET 的 SRDT – SET 锁存器工作波形

### 4.2 鲁棒性与开销对比

本文结构与其他锁存器结构的仿真对比结果见表 1。由表 1 可知, 只有本文提出的锁存器能够自恢复, 能够部分容忍 DNU。在 15 个 DNU 敏感节点对中, LCHR 锁存器只能容忍 7 对, 容忍能力达到  $7/15 = 46.7\%$ ; 而本文提出的结构在 10 个 DNU 敏感节点对中, 同样能容

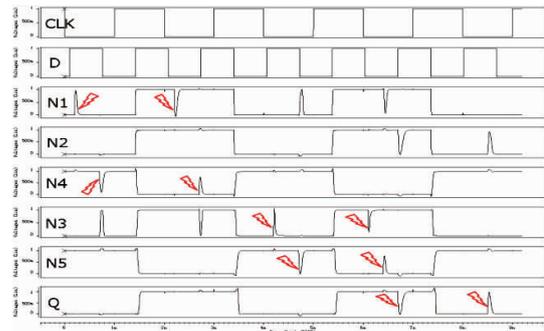


图 10 注入 SEU 的 SRDT – SET 锁存器工作波形

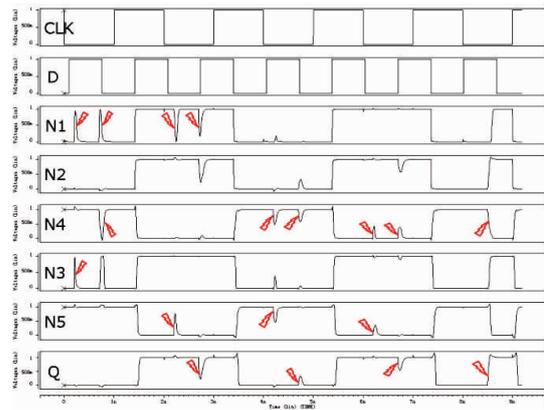


图 11 注入 DNU 的 SRDT – SET 锁存器工作波形

忍 7 对 (自恢复), 容忍能力达到  $7/10 = 70\%$ , 并且 3 个 DNU 敏感节点对在输入分离触发器的作用下, 具有比较大的临界电荷, 因此与 LCHR 锁存器相比, 本文的结构 DNU 过滤能力更好。在容忍 SET 方面, 本文的结构中包含多个输入分离的施密特触发器, 最大可过滤的 SET 宽度达到 84.6 ps, 并且 SET 过滤能力达到 87.3%。在面积、功耗和延迟开销方面, 使用了 30 个晶体管, 比 LCHR 结构少了 6 个, 并且本文结构的功耗和延迟也都比 LCHR 结构小, 但是本文的结构却能够在发生 SEU 后自恢复、DNU 容忍能力更好, SET 过滤能力更强。总之, 综合来看, 与其他几款锁存器结构相比, 本文的结构具有一定的优越性。

表 1 与其他锁存器结构的对比结果

锁存器	SEU 自恢复	容忍 DNU	容忍 SET	晶体管数量	功耗/ $\mu$ W	延迟/ps	最大宽度/ps	过滤能力/%
TMR	否	否	否	48	2.98	45.2	-	-
BISER	否	否	否	24	1.75	30.7	-	-
HLR	否	否	否	24	0.82	1.8	-	-
ST	否	否	是	14	1.59	29.4	16.2	55.1
LSEH - 1	否	否	是	26	2.08	101.5	77.5	76.4
LSEH - 2	否	否	是	22	2.30	97.8	70.4	72.0
LCHR	否	是	是	36	2.95	98.2	79.1	80.5
本结构	是	是	是	30	2.87	96.9	84.6	87.3

## 5 结束语

本文主要针对 SEU、SET, 以及电荷共享导致的 DNU 几种单粒子效应, 提出了一种高可靠性的同时容忍 SEU、SET 和 DNU 的锁存器加固结构 SRDT - SET。该锁存器结构同时采用空间冗余和时间冗余技术, 使用了多个输入分离的施密特触发器来构建高可靠性数据存储反馈环, 达到有效容忍 SEU 和 DNU 的目的, 同时通过内嵌的多个施密特触发器, 有效增强了 SET 脉冲的过滤能力。使用 HSPICE 仿真实验结果表明, 与相关文献提出的结构相比, 本文提出的锁存器结构不但能够对 SEU 自恢复、容忍的 SET 脉冲宽度更宽, 并且能够有效容忍 DNU, 而与同时容忍 SEU、SET 和 DNU 的 LCHR 锁存器结构相比, 其面积、功耗和延迟综合开销不大。

### 参考文献

- [1] MAVIS D G, EATON P H. SEU and SET modeling and mitigation in deep submicron technologies[C]//Proceedings of 2007 IEEE 45th Annual International Reliability Physics Symposium, Phoenix, AZ, USA, April 15-18, 2007:293-305.
- [2] GRUBIN H L, KRESKOVSKY J P, WEINBERG B C. Numerical studies of charge collection and funneling in silicon device[J]. IEEE Transactions on Nuclear Science, 1985, 31(6):1161-1166.
- [3] FREEMAN L B. Critical charge calculations for a bipolar SRAM array[J]. IBM Journal of Research and Development, 1996, 40(1):119-129.
- [4] MESSENGER G C. Collection of charge on junction nodes from ion tracks[J]. IEEE Transactions on Nuclear Science, 1982, 29(6):2024-2031.
- [5] NIEUWLAND A K, JASAREVIC S, JERIN G. Combinational logic soft error analysis and protection[C]//Proceedings of the 12th IEEE International Symposium on On-Line Testing, Washington, DC, USA, July 10-12, 2006:99-104.
- [6] OMANA M, ROSSI D, METRA C. Latch susceptibility to transient faults and new hardening approach[J]. IEEE Transactions on Computers, 2007, 56(9):1255-1268.
- [7] NAGPAL C, GARG R, KHATRI S P. A delay-efficient radiation-hard digital design approach using CWSP elements[C]//Proceedings of Conference on Design, Automation and Test in Europe, Munich, Germany, March 10-14, 2008:354-359.
- [8] 何益百. 辐射效应地面试验技术研究[D]. 长沙: 国防科学技术大学, 2010.
- [9] 申思远. 针对数字集成电路抗辐射加固结构的研究[D]. 合肥: 合肥工业大学, 2015.
- [10] RAJAEI R, TABANDEH M, FAZELI M. Single event multiple upset (SEMU) tolerant latch designs in presence of process and temperature variations[J]. Journal of Circuits, Systems, and Computers, 2015, 24(1):1-30.
- [11] LIN S, KIM Y B, LOMBARDI F. Design and performance evaluation of radiation hardened latches for nanoscale CMOS[J]. IEEE Transactions on Very Large Scale Integration Systems, 2011, 19(7):1315-1319.
- [12] RAJAEI R, TABANDEH M, FAZELI M. Low cost soft error hardened latch designs for nano-scale CMOS technology in presence of process variation[J]. Microelectronics Reliability, 2013, 53(6):912-924.
- [13] LIN YD, WENHP, CHIUEH H. Radiation-hardened designs for soft-error-rate reduction[C]//Proceedings of the on Great Lakes Symposium on VLSI 2017, NY, USA, May 10-12, 2017:197-202.
- [14] SHEIKHA T, EL-MALEH A H, ELRABAA M E S, et al. A fault tolerance technique for combinational circuits based on selective-transistor redundancy[J]. IEEE Transactions on Very Large Scale Integration Systems, 2017, 25(1):224-237.

- [15] AKETI S A, MEKIE J, SHAH H. Single-error hardened and multiple-error tolerant guarded dual modular redundancy technique [C]// Proceedings of 2018 31st International Conference on VLSI Design and 2018 17th International Conference on Embedded Systems (VLSID), Pune, India, January 6-10, 2018: 250-255.
- [16] 刘海龙. 纳米工艺抗辐射加固集成电路设计研究 [D]. 合肥: 合肥工业大学, 2017.
- [17] 刘辉华. 辐照环境下时钟数据恢复电路稳定性研究 [D]. 成都: 电子科技大学, 2017.

## Research on Integrated Circuit Reinforcement Method Based on Tolerance Single Event Effect

*XU Yawei*

(1. College of Electrical Engineering, Anhui Polytechnic University, Wuhu 241000, China; 2. Anhui Technical College of Mechanical and Electrical Engineering, Wuhu 241002, China)

**Abstract:** Facing to the issue that the previous hardened latch structures could not simultaneously tolerate SEU, SET and DNU, an SEU recoverable, SET filterable and DNU tolerant latch structure, named SRDT-SET, is proposed. Based on spatial redundancy and temporal redundancy technologies, multiple input-spliced Schmit triggers are employed in the latch to construct highly reliable data storage feedback loops to effectively tolerate SEU and DNU, the embedded multiple Schmit triggers are used as well. SRDT-SET latch could self-recover from an SEU, could filter a much wider SET pulse and could effectively tolerate DNU. The power-delay product of the proposed is smaller, and the SET filtering ability of the latch is effectively enhanced.

**Key words:** single event effect; single event upset; single event transient; double node upset; latch hardening; circuit reliability