

数字 Dithering 的 FPGA 实现

刘欣,熊兴中,杨平先,卢远征

(人工智能四川省重点实验室,四川 自贡 643000)

摘要:Dithering 是抑制模数转换器 ADC 量化噪声的重要方法,从数字 Dithering 量化定理出发,实现了数字 Dithering 的 FPGA 过程,对关键设计点给出了详尽的阐述,仿真结果也论证了 Dithering 对 ADC 性能的提升有积极的作用,为 Dithering 算法在实际的应用中起到一定的参考和借鉴作用。

关键词:数字 Dithering;模数转换器;FPGA 实现;量化噪声

中图分类号:TN914.3

文献标志码:A

引言

Dithering 的中文意思为“抖动”,目前,该技术已被广泛用于模数转换器 ADC(Analog to Digital Conversion, ADC)中,用来改善 ADC 的非线性特性,提升动态参数,减弱量化噪声 QN(Quantizing Noise, QN)的影响,从而提高 ADC 的性能。如 Dithering 的加入可使 15 位 20 M/s 的流水线 ADC 的无杂散动态范围提高约 29 dB^[1];在流水线型 SAR-ADC 中引入 Dithering,可使转换速度提高至少 8 倍,同时可有效减少量化时引起的噪声^[2]。

当前对于 Dithering 算法的研究主要基于理论层面^[3-5],如文献[3]用测试数模转换器 DAC(Digital to Analog Conversion, DAC)精度的方法,证明了在低精度 ADC 中,加入的 Dithering 起到精度补偿的作用;文献[4]讨论了一种有效的 Dithering 对 ADC 截位误差的抑制算法;文献[5]又将 Dithering 技术扩展到数字图像处理领域。这些工作虽然对 Dithering 技术的发展有积极的推动作用,但是缺乏实际的电路支撑验证。本文结合

数字通信系统,先介绍数字 Dithering 的相关理论;然后编写 VHDL 语言,选取可行的 ADC 和 FPGA 芯片,搭建实际的硬件电路,给出数字 Dithering 发生器电路、时钟控制电路和接口电路的设计思想和设计方案;最后通过仿真进行验证,并对结果进行评价。本文的工作为 Dithering 算法在实际的应用中起到一定的参考和借鉴作用。

1 数字 Dithering 量化定理

2000 年,美国科学家 Wannamaker、Lipshitz、Vanderkoooy 等提出了一个颇受关注的问题:严格来说,在数字通信系统中,Dithering 只可以使量化噪声无限的小但永远不会减为 0。之后科学家从他们的工作中受到启发,总结出数字抖动量化定理 QTDD(Quantizing Theorem for Digital Dither, QTDD),该定理在数字 Dithering 的应用中起着重要的作用。

数字 Dithering 的产生有 2 种方法:一种称之为“重量化”技术,先将 Dithering 噪声转换成一些离散的中间值,以便于存储和处理,在第二次量化之前,将转化的

收稿日期:2014-04-20

基金项目:人工智能四川省重点实验室基金项目(2012RYJ05,2011RZY01);四川省属高校科研创新团队建设计划基金项目(13TD0017)

作者简介:刘欣(1988-),男,湖北随州人,硕士生,主要从事数字信号处理方面的研究,(E-mail)316506387@qq.com

Dithering 噪声中间值添加到待处理的信号之中,以达到数字化处理要求;另外一种方法,用伪随机序列发生器来产生每一个 Dithering 采样信号,经 DAC 转换成模拟信号,按照传统理论方法加入到输入信号中,再进行量化。这 2 种方法没有好坏之分,实际应用中可通过对 ADC 的性能指标进行分析,以此来获得最优的数字 Dithering 信号。

一个阶数为 r 的数字 Dithering 系统,对其 Dithering 序列的特征函数 $\Phi_d(u)$ 频域上进行 n 阶求导。

$$\left. \frac{d^n \Phi_d(u)}{du^n} \right|_{u=l\psi} = 0 \quad (1)$$

式中, $n = 0, 1, \dots, r-1, l = 1, 2, \dots, 2^L - 1, L$ 是 ADC 的最低有效位数 LSB(Least Significant Bit, LSB), $\psi = \frac{2\pi}{q_d}$ 为数字 Dithering 的频率, q_d 为抖动序列间隔。量化定理指出:对数字 Dithering 的特征函数做小于阶数的任意次求导,结果都为 0。同时,QTDD 指定了 Dithering 序列的 LSB 和 ADC 中输入信号对应的数字序列的 LSB 应具备一致性,对应于二者序列间隔之间的关系,满足公式:

$$q_d = 2^{-L}q \quad (2)$$

当数字 Dithering 的间隔只要达到公式(2)的标准,就可对 QN 有显著的改善作用,但是,当序列间隔更小(精度更高)时不能继续有效抑制 QN,因此是无意义的。此理论在数字计算机和 DSP 等实际应用中具有较高的实用价值^[6]。

计算机和伪随机数发生器都可以很容易产生正态分布的序列,这些序列彼此独立且均等分布,经过量化成为数字 Dithering 信号,满足近似的正态分布,特征函数为:

$$\Phi_d(u) = \sum_{\lambda=-\infty}^{\infty} e^{ju(u+\lambda\Psi_d)} \cdot e^{-\frac{\sigma^2(u+\lambda\Psi_d)^2}{2}} \cdot \text{sinc}\left(\frac{q_d(u+\lambda\Psi_d)}{2}\right) \quad (3)$$

对于正态分布 $N \sim [0, \sigma^2], \sigma > q$, Dithering 的时域函数可以很好的用数字 Dithering 的采样值表征,利用 Sheppard 修正法或其它类似修正法可有效修正。因此,对于正态分布的数字 Dithering,QTDD 是很容易满足的。

数字 Dithering 的量化精度 q_d 没有明确的规定,只要达到式(2)要求的精度即可,具有“不唯一性”^[7]。

2 数字 Dithering - ADC 的总体设计

数字 Dithering 由伪随机序列发生器产生,ADC 和 DPGA 过程用专用的芯片实现,总体设计框图如图 1 所示。

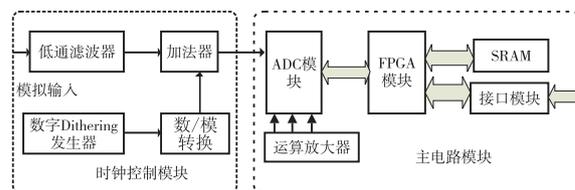


图 1 数字 Dithering - ADC 总体设计框图

数字 Dithering 噪声用线性反馈移位寄存器产生,经过数/模转化后与经过滤波预处理的模拟信号叠加。然后送入到 ADC 中进行处理,ADC 由运算放大器驱动,为了兼顾性能和功耗的双重要求,所用的芯片为 TI 公司的流水线型转换器 ADS5211。FPGA 芯片采用 Altera 公司的 Cyclone II,通过外部接口可将 FPGA 与计算机连接,结果存储在 SRAM 中,可直接调用并观察,从而实现对整个系统的控制和检测。

设计分为两大主要的模块:时钟控制模块和主电路模块。时钟控制模块主要控制数字 Dithering 的产生,并与输入信号相叠加,同时对系统进行精确地授时和同步,保证系统正常运行。主电路模块负责数字信号的处理,同时对整个系统起到控制作用。设计的关键点包括三个方面:数字 Dithering 的产生;时钟控制电路和接口电路。

3 关键部件设计

3.1 数字 Dithering 的伪噪声 PN 序列生成

数字 Dithering 噪声用线性反馈移位寄存器产生,该寄存器原理框图如图 2 所示。

线性反馈移位寄存器通过移位的方式产生伪噪声 PN(Pseudo Noise, PN)序列,因子 D_i 和加权系数 C_i 总错着一位,总的逻辑表达式为:

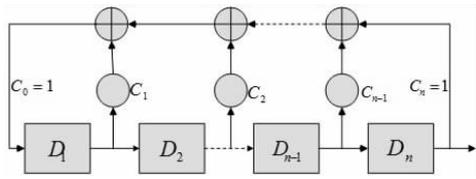


图 2 线性移位寄存器原理图

$$D = \sum_{i=1}^n C_i D_i = C_1 D_1 \oplus C_2 D_2 \cdots C_n D_n \quad (4)$$

初始化时, $D = 0, D = D_0 C_0$, 代入公式(4), 用 x^i 表示寄存器的因子 D_i , 得到线性移位寄存器的伪随机多项式:

$$f(x) = \sum_{i=0}^n C_i x^i \quad (5)$$

初始化完成后, 输出一定是个非零的序列^[8], 且序列存在周期, 周期为 $2^n - 1$ 。 $f(x)$ 多项式满足本原多项式的条件, 生成的 PN 序列在坐标域上周期性出现, 作为数字 Dithering。编写 VHDL 语言, 主要 VHDL 语句及解释如下:

start; in std_logic; /移位开始, 一段低电平读入输入信号, 高电平开始移位

data_in; in std_logic_vector(N downto 0); /输入需要移位的信号

data_out; out std_logic_vector(N downto 0); /移位后输出的信号

signal high_temp; std_logic; /暂存移出的高位

signal data_temp; std_logic_vector(N downto 0); /暂存输入信号及移位输出信号

对于一均匀分布、频率约 100 Hz、峰值约 0.12 V、初相 -0.52π 的数字 Dithering, 将 Simulink 模块产生的信号导入 Quartus II 中, 波形如图 3 所示。

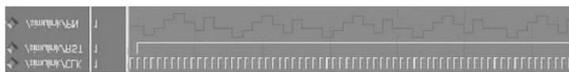


图 3 线性移位寄存器产生的数字 Dithering 波形

从图 3 的波形可以看出, Dithering 噪声具有很明显的周期性, 图中大概出现了 5 个完整的周期波, 这和线性反馈移位寄存器产生的 PN 序列特性相吻合。实际上, 用该方法产生伪噪声序列只需要适量的移位运算和异或运算, 尤其适合宽带大幅度数字 Dithering 噪声的产生。

3.2 时钟控制电路

要想获得更好的性能, 需要数字时钟来控制数字 Dithering 的产生、系统授时和同步等, 输入时钟信号为 50 MHz 有源晶振, FPGA 的锁相环对该信号处理后交给时钟控制芯片, 时钟芯片采用美国 Analog Devices 公司的 AD9481 驱动芯片, 最高频率可达 250 MHz, 能够实现低功耗高精度的时钟控制功能, 且可以多路时钟同时输出。时钟控制电路连接框图如图 4 所示。

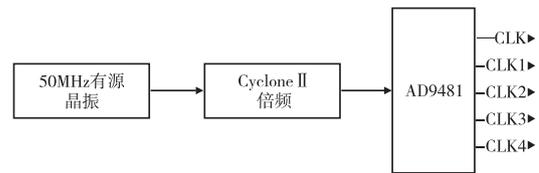


图 4 时钟控制电路框图

3.3 接口电路

3.3.1 ADS5211 接口驱动电路

ADS5211 采用运算放大器驱动。原则上, 直流或交流耦合的运算放大器都能驱动, 一种可行的基于直流耦合的差分运放驱动电路如图 5 所示。

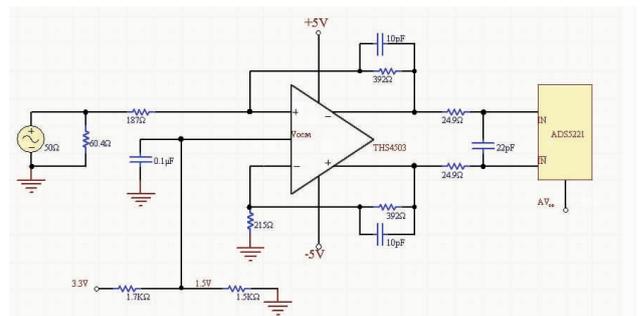


图 5 直流耦合的 THS4503 差分放大器 ADS5211 驱动电路

差分运放器仍采用 TI 公司的 THS4503, 用于将单端的输入信号转化成增益为 2 的差分输出信号, 通过 IN、 $\bar{I}N$ 针脚与 ADS5211 连接。 V_{OCM} 针脚设置输出的共模电压, 也是输入直流耦合信号的基准电压。电路中小电容 (例如 10 pF) 实现低通滤波功能, 电路中大部分的电阻实现反馈调节的作用, THS4503 主要负载为电容器件, 在输出端使用了 2 个 24.9 Ω 的电阻来确保系统的稳定性。之所以采用差分运算放大器驱动, 是因为可以提供比单端运算器放大器更好的性能^[9]。

3.3.2 Cylone II 接口配置电路

Cylone II 采取主动串行 AS(Active Serial, AS) 模式工作,由 FPGA 芯片控制外部器件,主要处于经济性的考虑。AS 模式下,共有 4 个 I/O 接口:串行时钟(DCLK)、数据输出(DATA)、数据输入(ASDI)和片选信号(nCS),接口配置电路如图 6 所示。

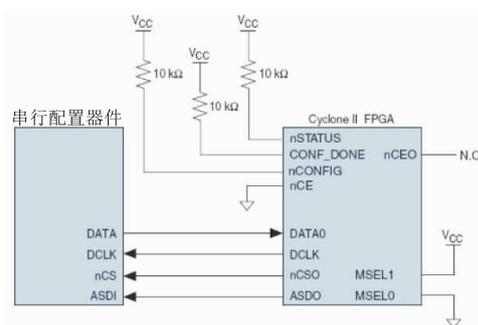


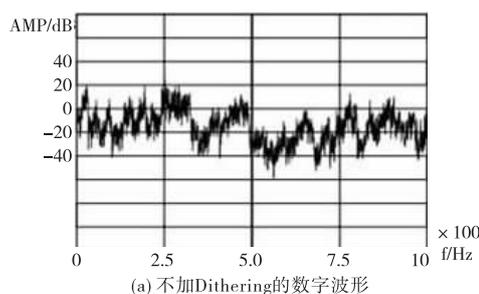
图 6 FPGA 接口配置电路

当上电时,把 nSTATUS 和 CONF_DONE 拉低,所有 I/O 接口设为高阻态,重启后释放 nSTATUS,将 nSTATUS 拉高,进入配置模式。配置完成后,开始初始化阶段,通常使用内部时钟作为默认的时钟信号,当 INIT_DONE 由低变高时,表明初始化完成,进入用户模式状态,此时由用户的设计来决定 I/O 接口的阻态。假如以上过程中发生错误,Cylone II 芯片将 nSTATUS 拉低至少 40 μs 表明数据帧有错,同时通过 cCSO 信号将串行配置器重新设置,Cylone II 开始重启并重新进行配置工作。Cylone II FPGA 芯片通过该种运作方式参与到整个系统的控制和观测,从而实现了数字 Dithering - ADC 的 FPGA 过程。

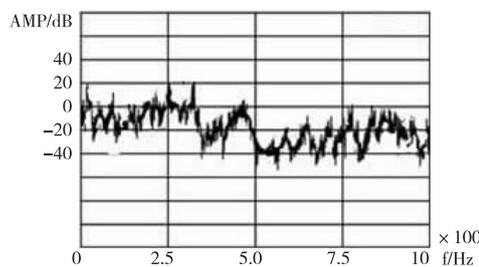
4 仿真结果与分析

数字 Dithering 噪声是用线性移位寄存器产生的 PN 序列,差分运放器 THS4503 相当于加法器,将 Dithering 与输入信号叠加,在时钟模块的控制下进入 ADS5211,ADS5211 和 THS4503 用 Quartus II 程序进行硬件描述。输入信号为幅值 30 mV 的正弦信号,频率 250 Hz,数字 Dithering 为 256 个 LSB,忽略 Dithering 对输入信号幅度的影响,仿真频域上幅度的变化,观察有无 Dithering 的影响,结果如图 7 所示。

由图 7 可以看出,加入 Dithering 后,数字波的锯齿和毛刺大幅度减小了,实际上也论证了 Dithering 可以改



(a) 不加Dithering的数字波形



(b) 加入Dithering的数字波形

图 7 输出数字波形仿真图

善 ADC 的非线性特性,提升动态参数,一定程度上抑制了量化噪声,从而提高 ADC 的性能。

但是,从图 7 也可看出,仿真结果不甚理想。这主要由 3 个原因造成的:第一,数字信号本身的非线性特性较模拟信号更强,抑制时具有更高的难度;第二,数字 Dithering 的 FPGA 实现过程用到较多的电子器件,虽然这些器件很精密,但不可避免会引入各种随机噪声,增加了结果的不确定性;第三,虽然每部分硬件几乎都给出了实际电路,但是缺乏完备的后续优化工作。

5 结束语

本文探讨了数字 Dithering 量化定理,实现了数字 Dithering 在 ADC 中 FPGA 过程,给出了总体的设计思想,并对 3 个关键的设计点进行了详尽的阐述。从结果来看,验证了 Dithering 可改善 ADC 的非线性特性,提升动态参数,一定程度上抑制量化噪声,提高 ADC 的性能,为 Dithering 算法在实际的应用中起到一定的参考和借鉴作用。与此同时,结果仍有很大的优化和提升空间,这也是作者未来研究的方向。

参考文献:

[1] Shu Y S, Song B S. A 15-bit linear 20-MS/s pipelined ADC digitally calibrated with signal-dependent Dithering [J]. IEEE Journal of Solid-State Circuits, 2008, 43(2): 342-

- 350.
- [2] Wang R, Chio U, Chan C H, et al. A time-efficient Dither-injection scheme for pipelined SAR ADC [C]//Proc. of IEEE Asia Pacific Conference on Postgraduate Research in Micro-electronics & Electronics, Macao, October 1-7, 2011:9-12.
- [3] Le J, Hosam H, Randall G, et al. Testing of precision DACs using low-resolution ADCs with Dithering [C]//Proc. of IEEE international test conference, California, October 5-9, 2006:1-10.
- [4] 郭连平, 田书林, 王志刚. 数字信号处理过程中信号截位误差抑制方法研究 [J]. 信号处理, 2013, 29(5): 544-549.
- [5] 夏禹, 王亚雄. 基于误差扩散的 Dither 算法研究与实现 [J]. 电子科技, 2012, 25(12): 24-26.
- [6] Bernad W, Istvan K. Quantization noise: roundoff error in digital computation, signal processing, control and communications [M]. New York: Cambridge University Press, 2008.
- [7] Marco S, Antonio L. A 2G/3G cellular analog baseband based on a filtering ADC [J]. IEEE Transactions on Circuits and Systems, 2012, 59(4): 214-218.
- [8] 杭德全, 朱琳, 王志远. 可重构线性反馈移位寄存器设计 [J]. 计算机应用, 2009, 29(S1): 396-398.
- [9] Texas Instruments CO. 12-Bit, 65MSPS sampling, +3.3 V analog-to-digital converter [EB/OL]. (2010-06-23) [2014-04-10]. <http://www.ti.com/cn/lit/ds/symlink/ads5221.pdf>.

The FPGA Implementation of Digital Dithering

LIU Xin, XIONG Xingzhong, YANG Pingxian, LU Yuanzheng

(Artificial Intelligence Key Laboratory of Sichuan Province, Zigong 643000, China)

Abstract: Dithering is an important method to restrain quantization noise of the analog-to-digital converter ADC, from the digital Dithering quantization theorem, the process of FPGA about digital Dithering in ADC is realized, and a detailed description about the key design point is given. Then the simulation results also demonstrate that Dithering has a positive effect to the performance of the ADC, which provides some certain reference and mirror value for the Dithering algorithm in actual application.

Key words: digital Dithering; analog-to-digital converter; FPGA implementation; quantization noise