

基于 FPGA 控制的 LED 点阵汉字滚动显示器的设计

王海峰, 熊兴中

(四川理工学院自动化与电子信息学院, 四川 自贡 643000)

摘要:主要研究基于 VHDL 语言和 FPGA 的 LED 点阵汉字滚动显示器的设计。在介绍 16×16 LED 点阵块工作原理的基础上,给出了基于 FPGA 的系统硬件电路,以及 LED 点阵实现汉字滚动的设计方法,并在 Quartus II 软件集成开发环境下对整个系统的软件进行了仿真测试,实验仿真及硬件测试结果表明设计完全满足要求。该设计具有较为重要的应用价值。

关键词:LED 点阵; FPGA; 汉字滚动显示; 仿真

中图分类号:TN402

文献标志码:A

引言

随着电子设计自动化(Electronic Design Automation, EDA)技术和我国经济的高速发展,公共场合的信息发布需求也日益增长,采用 LED 点阵滚动显示汉字恰好与这一市场需求相适应,已成为当今信息传播的重要途径,广泛应用于医院、银行、体育馆等公共场所^[1]。

对汉字滚动显示的传统方法是用单片机来控制的,虽然这种方案有单片机软件的支持较为灵活,价格低廉,但受硬件资源的限制,对将来设计的更新和升级,总难以避免的以付出较多研发经费和较长投放市场周期为代价,甚至可能需要重新设计。况且,在以显示为主的系统中,大大降低了对单片机的运算和控制等主要功能的利用率,发挥不了其优势,造成了资源上的很大浪费^[2]。

随着 EDA 技术的发展,其设计效率高、集成度高、便于修改和易实现等优点,使其成为当今数字系统设计的主流技术^[2]。因此,本文主要介绍以

Cyclone II 系列的 FPGA 核心板 EP2C5T144C8N 作为控制器和 VHDL 语言实现在 16×32 点阵上的汉字滚动显示问题。

1 LED 点阵汉字显示原理

1.1 16×16 LED 点阵块工作原理

如图 1 所示, 16×16 点阵块的点亮方式:当行端加高电平,列端加低电平时发光二极管点亮。例如:当 1 端接低电平,A ~ P 端都接高电平时,第一列点亮;当 A 端接高电平,1 ~ 16 端都接低电平,则最下面一行点亮,依次类推^[3]。

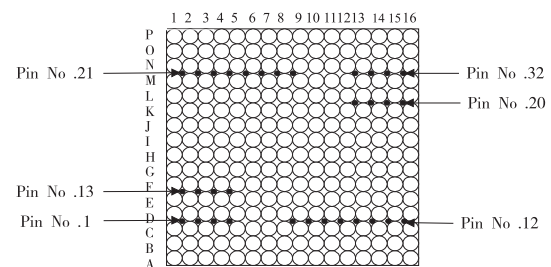


图 1 16×16 点阵块

收稿日期:2013-01-04

基金项目:四川省杰出青年基金项目(2011JQ0034);人工智能四川省重点实验室项目(2012RYJ05);四川理工学院人才引进项目(2010XJKRL014)

作者简介:王海峰(1989-),男,重庆忠县人,硕士生,主要从事智能信息与信号处理方面的研究,(E-mail)811704417@qq.com

1.2 16 × 32 LED 点阵屏模块

本次设计使用的 LED 点阵屏是用 2 块 LM - 2256 型“行共阳、列共阴”16 × 16 点阵级联组成的 16 × 32 点阵屏。1 ~ 32 成为点阵块的列线,A ~ P 成为点阵块的行线,如图 2 所示。

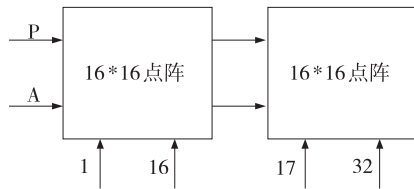


图 2 16 × 32 点阵块

2 系统各部分功能的设计与实现

2.1 汉字滚动显示系统的设计

首先要在 16 × 16 LED 点阵上显示汉字,必须把汉字表示成如图 3 所示的 16 × 16 像素点图。

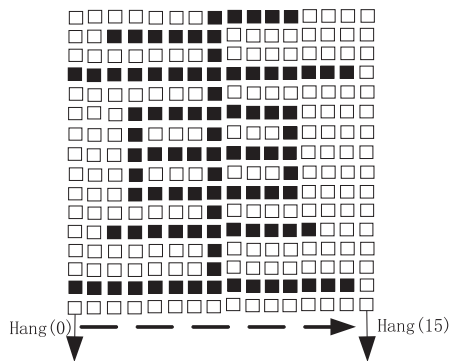


图 3 点阵像素图

在图 3 中, Hang(0) ~ Hang(15) 分别为按列抽取依次排列的汉字像素信息,均为 16 位字长,依次对多个汉字抽取像素信息^[1],并按序存放在字模汉字滚动模块的 word 函数中,组成一个待显示的数据序列。现在可以把点阵屏看作一个滑窗,通过寻址的方式来控制数据序列中以某一列数据起始的 32 个单元的列抽取像素显示在滑窗上,从而达到多个汉字滚动显示的目的。原理如图 4 所示。

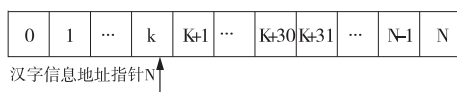


图 4 多汉字滚动显示信息原理示意图

由图 4 可知,某一时刻待在数据序列中待显示的地址指针为:

$$addr = n + x$$

其中 n 的取值为 0 ~ N, 对应数据序列中的某一起始地址,由它控制汉字的滚动速度; x 的取值为 0 ~ 31, 为对应 n 起始的 32 个单元的待显示数据信息。当待显示数据地址指针确定后,在 ds 点阵扫描速度的共同作用下,实现多个汉字在点阵平面稳定的滚动显示。

2.2 汉字滚动显示系统的组成

本次设计中,根据系统设计要求,在 Altera 公司 Cyclone II 系列 EP2C5T144C8N 核心芯片构成的 FPGA 最小系统基础上,实现多汉字滚动显示的硬件系统如图 5 所示。

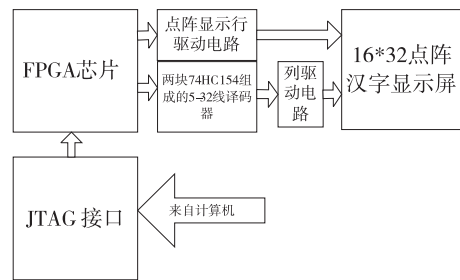


图 5 实现多汉字滚动显示的系统结构图

硬件部分主要由 FPGA、译码电路、行列驱动电路和 16 × 32 点阵显示屏构成。FPGA 送出的 5 位列信号经 5 线 - 32 线译码后送到列驱动,同时将 FPGA 送出的 16 位行数据信号送到行驱动;在行列驱动的共同作用下,就完成了汉字字模的显示和滚动。

3 系统软件的设计

3.1 字模和汉字滚动模块设计

软件部分采用 EDA 技术的自顶向下的模块化设计方法。主要包括:1 KHz 分频模块、字模和汉字滚动显示模块、时序控制模块等。

先介绍字模和汉字滚动显示核心模块,其框架如图 6 所示。

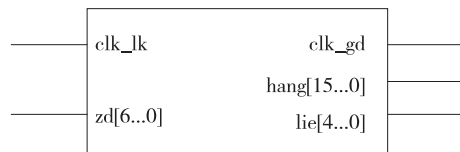


图 6 字模和汉字滚动模块

首先利用最小系统的 50 MHz 系统时钟经分频模块产生 1 KHz 基准时钟信号即该模块的输入 clk_1k 信号,利用该时钟基础把事先固化好的字模数据在时序控制

模块的作用下,送相应的数据到 LED 点阵平面,实现汉字的滚动显示的目的;同时也计数产生 50 ms 的汉字滚动速度控制的 clk_gd 时钟信号。

图 7 为所定制的初始汉字“新年快乐”的字型码。设置初始地址 zd = 0,通过相应波形仿真得到如图 7 所示波形图,比较图 7 和图 8 可知,仿真结果正确,能满足题目要求。同时生成组件符号以备顶层模块调用。

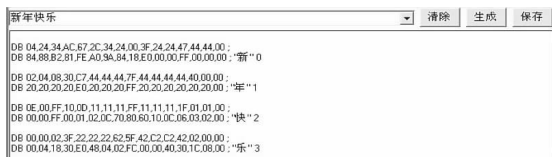


图 7 字模和汉字滚动模块中存储字模数据

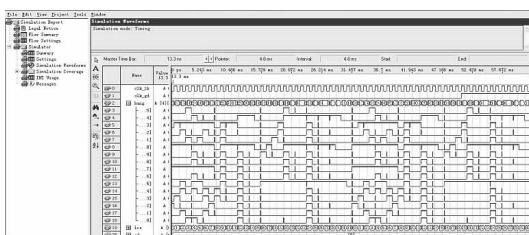


图 8 字模和汉字滚动模块波形仿真图

3.2 时序控制模块设计

再有时序控制模块,其框架如图 9 所示。

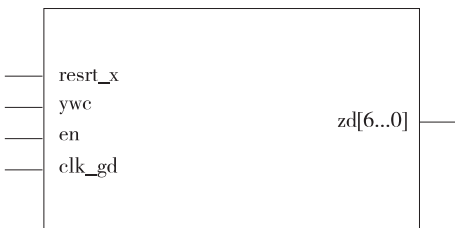


图 9 时序控制模块

该模块是设计能否准确实现的关键,经逻辑分析处理得到一个控制汉字左、右滚动的字模地址指针 zd 信号,决定待显示的数据地址;置以为控制信号 ywc = 1,通过相应仿真波形(图 10)可知输出地址指针 zd = 0 ~ 31 周而复始的出现,实现了左移的功能,从而表明仿真结果是正确的。

3.3 顶层模块设计

图 11 所示为设计的整个系统的 RTL Viewer,其中 fenpin 模块是为获得 1 KHz 基准时钟信号,为后面的时序控制提供可靠的基准时钟信号;wordgd 模块是本次设计的核心部分。主要作用是:把预先固化好的字模数据在时序控制模块的作用下送出;dzxh

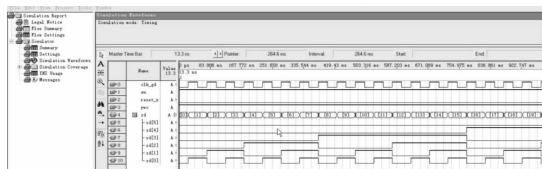


图 10 时序控制模块波形仿真图

模块是设计能否准确实现的关键,通过对时钟的准确控制,使相应的字模送到 LED 点阵平面,从而实现汉字的滚动显示。

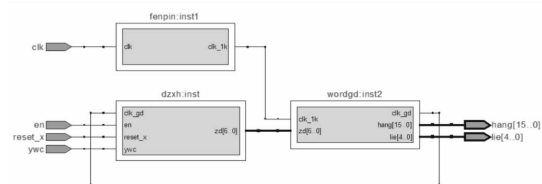


图 11 整个系统的 RTL Viewer

本次设计通过对“新年快乐”这四个汉字像素信息的抽取,并有序存放到函数 word 中形成待显示的字模数据序列。然后通过对系统整体的软件仿真得到如图 12 所示的仿真波形,符合设计要求,其硬件系统的验证也得到了与之相吻合的结果,因而系统设计成功。

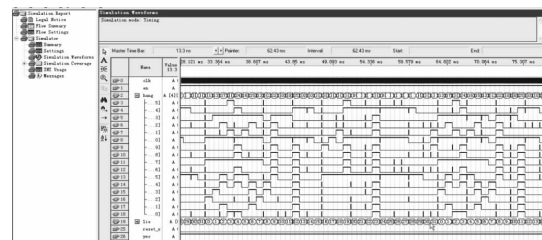


图 12 系统仿真波形

4 结束语

该系统自运行以来工作正常,性能稳定,显示可靠。其优点是:系统的 LED 点阵块可以继续扩展,同时汉字的个数也可以继续增加。由于该系统的实现原理是直接将存放在 word 函数中的字模信息显示出来,效果比较单一化。如果将 LED 点阵完全抽象成了一个二维数组,对这个数组进行的所有操作直接反映到 LED 点阵上,从而还可以使 LED 点阵除了能够滚动显示外还能增加其他的显示功能,满足人们各方面的需求。

参考文献:

[1] 张 俐,李曼义.基于 FPGA 和 VHDL 的 LED 点阵汉

- 字滚动显示设计[J].信息技术,2009,33(12):105-110.
- [2] 李国洪,沈明山,崔瑞雪.EDA 技术与实验[M].北京:机械工业出版社,2009.
- [3] 张庆玲.基于 FPGA 汉字显示的 VHDL 语言实现[J].陕西科技大学学报,2004,22(2):107-109.
- [4] Steve K. Advanced FPGA design: Architecture, Implementation, and Optimization [M]. JOHN WILEY & SONS, Inc., 2007.
- [5] 潘松,黄继业.EDA 技术与 VHDL[M].北京:清华大学出版社,2005.
- [6] ZHAO chenguang, FANG zhi. Application of VHDL in practicing of electronic design[J]. Journal of Shenyang Institute of Aeronautical Engineering, 2004(1):9-11.
- [7] 范昌波,申文达.基于 FPGA 在 LED 点阵中的应用研究[J].仪表技术,2010(2):1-3.
- [8] 叶凯.基于 FPGA 和 LabVIEW 的双通道示波器设计[J].西华大学学报:自然科学版,2012,31(5):22-24.
- [9] 袁俊榆,杜正聪,祝俊.基于近似核 FFT 快速测频算法的 FPGA 实现[J].四川理工学院学报:自然科学版,2011,24(4):456-458.

Design of LED Dot-Matrix Chinese Character Scrolling Displayer Based on FPGA Control

WANG Hai-feng, XIONG Xing-zhong

(School of Automation and Electronic Information, Sichuan University of Science & Engineering, Zigong 643000, China)

Abstract: The design of LED dot matrix Chinese character scrolling based on the VHDL language and the FPGA are studied. The working principle of the 16×16 LED lattice block is introduced, and the hardware circuit based on FPGA and the LED lattice realization method of Chinese characters scrolling are given. Then the software of whole system is tested under Quartus II software integrated development environment. The simulation and hardware test results show that the design completely meets the requirements and has important application value.

Key words: LED dot-matrix; FPGA; Chinese character scrolling display; simulation