

基于 Verilog 的 IDMA 系统发射端和接收端设计

宋晓波

(四川理工学院自动化与电子信息学院,四川 自贡 643000)

摘 要:交织多址 IDMA 作为一种无线接入多址技术,不仅具有码分多址 CDMA 技术优势,而且采用交织图机制分离用户,避免了 CDMA 中受限于扩频码长度分离用户机制的瓶颈。IDMA 接收端运用迭代多用户检测技术,在计算复杂度增加较少的情况下,有效提高了频谱利用率。基于 IDMA 的技术原理,运用 Verilog 针对 IDMA 的发射端和接收端进行了仿真设计。实验仿真表明:基于 Verilog 的 IDMA 系统的发射端和接收端的设计与理论分析一致,达到了设计要求。

关键词:IDMA; Verilog; CDMA; 交织器; 迭代检测

中图分类号:TN914

文献标志码:A

引 言

近年来,尽管码分多址 CDMA(Code - division multiple - access)与多用户检测(MUD)方面的研究工作有长足的进步,特别是系统的性能上和实现功能的复杂度上倍受学者关注。然而,CDMA 理论上的限制很难满足 4G 的性能要求,由此,由香港城市大学的 Li Ping^[1]教授提出的交织多址 IDMA(Interleave - division multiple - access)倍受业内学者关注。目前看来,无线通信发展需要高数据率的数据包通信,使用高码率,多天线技术和高阶调制能满足这一需求。在这样的背景下,CDMA 会因为扩频序列的影响使得用户容量受到很大的限制^[2],此时 IDMA 的作用显得尤为突出。

IDMA 与 CDMA 的区别^[3]在于:CDMA 区别用户是依靠不同的扩频编码序列,而 IDMA 的所有用户使用相同的扩频码,扩频后,各个用户用不同的交织序列,利用交织序列的唯一性来区别用户。本质上说,IDMA 属于码分多址,但是与传统的码分多址不同,其特点归纳为:(1)经过编码实现扩频,具有最大化的编码增益;(2)用不同的交织图案作用用户的标识特征,不受信道化码等码

资源的限制;(3)迭代检测^[4,6]与交织多址相结合,通过迭代,IDMA 能发挥出编码增益大,分集阶数高的优势,取得比 CDMA 更佳的性能;(4)码片级交织,具备与比特交织编码调制 BICM 相同的机制,有更高的分集阶数。

1 IDMA 原理

1.1 IDMA 系统的发送端和接收端的结构图

IDMA 系统结构如图 1 所示。假定第 k 用户的数据序列为 $d_k = \{d_k(i), i = 1, 2, \dots, w\}$,其中 W 为数据序列的长度。将 d_k 作为扩频器进行扩频的输入,其中 S 为扩频序列长,扩频序列形式为: $(+1, -1, +1, -1, \dots, +1, -1)$ 。扩频器输出的数据序列为 $c_k = \{c_k(j), j = 1, 2, \dots, N\}$,帧的长度为: $N = W \times S$ 。令 π_k 表示第 K 个用户的交织器。相对应, π_k^{-1} 表示第 K 个用户的解交织器。经过交织与 BPSK 调制后,产生的发射信号数据序列为: $\{x_k(j), j = 1, 2, \dots, N\}$ 。图 1 中的下半部分为 IDMA 系统中的接收端,由交织器、解交织器多用户检测器(MUD)和解扩器所组成,多用户检测器、交织器和解交织器连接起来,进行信号的迭代干扰消除。用 $e_{DEC}(x_k(j))$ 表示多用户检测器的外信息, $e_{ESE}(x_k(j))$

收稿日期:2013-03-06

基金项目:四川省杰出青年基金项目(2011JQ0034)

作者简介:宋晓波(1981-),男,四川资阳人,硕士生,主要从事无线通信方面的研究,(E-mail)27258920@qq.com

表示解交织的外信息; $\tilde{l}_{DEC}(x_k(j))$ 和 $\tilde{l}_{ESE}(x_k(j))$ 分别表示多用户检测器和解交织输入的先验信息。在迭代检测的过程中,外信息和先验信息之间相互交换信息,进而不断更新自身的状态值。第 K 个用户接收端的硬判决译码后输出的数据用 \hat{d}_k 表示。

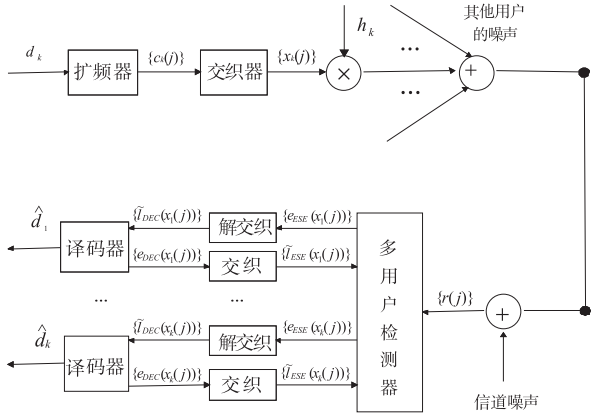


图1 IDMA 系统结构原理

1.2 多用户迭代检测的原理

设 IDMA 系统里用户的个数为 K , 那么接收信号 $\{r(j)\}$ 表示为:

$$r(j) = \sum_{k=1}^K h_k x_k(j) + n(j), j = 1, 2, \dots, N \quad (1)$$

其中: h_k 表示信道衰落系数; $n(j)$ 为加性高斯白噪声 (AWGN), 其符合正态分布, 均值为 0, 方差为 $\sigma^2 = \frac{N_0}{2}$, 其统计特性是:

$$\eta_k(j) = \sum_{m=1, m \neq k}^K h_m x_m(j) + n(j) \quad (2)$$

$$j = 1, 2, \dots, N$$

其中, $\eta_k(j)$ 包括其他 $K-1$ 个用户的干扰信号和加性高斯白噪声。由中心极限定理可知, 相互独立同分布的随机变量之和的分布近似于正态分布。 $\eta_k(j)$ 的均值 $E(\eta_k(j))$ 和方差 $Var(\eta_k(j))$ 可用以下式子表示:

$$E(\eta_k(j)) = \sum_{m=1, m \neq k}^K h_m E(x_m(j)) \quad (3)$$

$$Var(\eta_k(j)) = \sum_{m=1, m \neq k}^K |h_m|^2 Var(x_m(j)) + \sigma^2 \quad (4)$$

$$e_{ESE}(x_k(j)) = \frac{2h_k}{Var(\eta_k(j))} (r(j) - E(\eta_k(j))) \quad (5)$$

$$e_{DEC}(x_k(j)) = s(j) \sum_{j=1}^S s(j) \tilde{l}_{DEC}(x_k(j)) - \tilde{l}_{DEC}(x_k(j)) \quad (6)$$

其中, $\{s(j), j = 1, 2, \dots, S\}$ 为扩频码。外信息 $e_{ESE}(x_k(j))$ 由式 (5) 可得, 经过解交织后, 外信息

$e_{ESE}(x_k(j))$ 作为解扩频器的输入产生先验信息 $\tilde{l}_{DEC}(x_k(j))$, 再通过式 (6) 可得外信息 $e_{DEC}(x_k(j))$ 。解扩频反馈外信息 $e_{DEC}(x_k(j))$ 作为交织器的输入产生先验信息 $\tilde{l}_{ESE}(x_k(j))$, 从而提供给多用户检测器用来更新式 (3) 和式 (4) 所计算的均值和方差, 目的是为了下一次迭代能进一步提高多用户检测的准确性。

IDMA 接收端在迭代多用户检测过程中, 运用式 (7) 和式 (8) 表示的更新规则。

$$E(x_k(j)) = \tanh\left(\frac{\tilde{l}_{ESE}(x_k(j))}{2}\right) \quad (7)$$

$$Var(x_k(j)) = 1 - E(x_k(j))^2 \quad (8)$$

随着对多用户迭代检测的进行, 解扩频器不断将外信息反馈给多用户检测器, $x_k(j)$ 的方差 $Var(x_k(j))$ 不断减小, 即对信号 $x_k(j)$ 的干扰逐渐减少。理想条件下, 在最后一次迭代多用户检测后, 式 (4) 所表示的 $Var(x_k(j))$ 会变成零, 干扰信号便完全消除。在最后一次迭代结束后, 接收端对 $\sum_{j=1}^S s(j) \tilde{l}_{DEC}(x_k(j))$ 做硬判决, 得到接收端的输出数据 \hat{d}_k 。

2 IDMA 发送端和接收端基本器件的实现

2.1 交织器的实现

交织器功能结构如图 2 所示。由图 2 可见, 实现交织功能的基本器件有: 计数器, 选择器, M 序列发生器和 RAM。计数器的输出控制两个 RAM 的地址端口, 选择器控制两个 RAM 的使能端口, 输入信号和 M 序列分别作为两个 RAM 的输入寄存在 RAM 中。RAM2 的输出作为 RAM1 的输出地址控制信号。

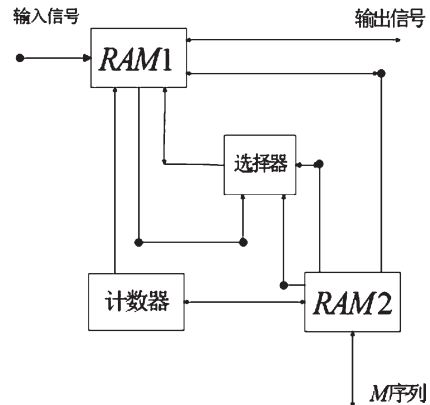


图2 交织器的硬件实现

交织器工作流程: 线性反馈移位寄存器产生 M 序列, 依次存入 RAM2 中。待输入信号作为 RAM1 的输入时, 计数器开始工作, RAM1 的数据写满, 输出对选择器

的控制信号,启动 RAM2,不断产生信号并输入 RAM1 的地址端,同时 RAM1 根据地址信号读出信号作为输出信号,这便是交织的过程。

2.2 ESE 的简化

IDMA 系统要达到一定的性能,必须进行多次迭代。本文考虑使用 TR 技术减少迭代次数,但是如果总用户数目太大的时候,实现 IDMA 存在一定的困难,特别是在实现式(7)的 tanh 函数时,虽然可以利用 CORDIC 算法进行处理,但是在 IDMA 系统中用到的 tanh 函数输入范围比较大,所以必须对输入值作预处理,而且在多次迭代中,每次预处理的可能在不同范围中,这在仿真中实现的复杂度很大。

在性能可接受的情况下,使用截断函数来近似 tanh 函数:

$$E(x_k(j)) = \begin{cases} e(x_k(j)) & e(x_k(j)) \in [-1, +1] \\ \pm 1 & \text{else} \end{cases} \quad (9)$$

在文献[7]中,低信噪比时,截断函数的性能较 tanh 函数时有 1 dB 的损失,但是随着信噪比升高,两种情况的性能差异开始减小,当信噪比达到 6 dB 时,二者的性能基本相同。因此 IDMA 迭代检测过程中,运用截断函数是可行的。

由此可以看出,最基本的器件就能实现 IDMA 系统的接收端和发射端。

3 IDMA 发送端和接收端的仿真

3.1 交织器的仿真

交织器的设计是 IDMA 系统中的一项关键技术^[8],它不但要用来交织某一特定用户的数据顺序,而且还起着区分用户的作用。交织器性能优劣的衡量标准有:(1)交织器实现对比特的均匀保护;(2)交织前后比特之间的距离特性;(3)交织器最好为对称交织器。交织器设计的好坏直接影响整个 IDMA 的实际性能。目前, IDMA 一般采用伪随机交织器的设计方案,因为该方案便于实现。

借助于 M 序列发生器^[9]的特点,首先生成伪随机交织器,然后在该随机交织器的基础上,通过循环移位不同步长的方式生成一系列交织器,其仿真实现效果如图 3 所示。

3.2 IDMA 系统的发射端仿真

发射端包括两大功能:扩频和交织。扩频是用与被传输信号无关的码对被传输信号进行扩展频谱,使其占有大大超过被传送信息所占用的最小带宽。交织就是分散信号在信道传输的过程中集中产生的错误,以便接

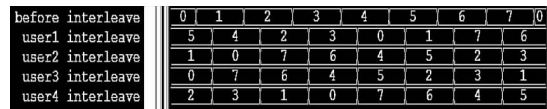


图 3 基于 Verilog 四个用户的交织序列仿真波形

收端纠错。其仿真效果如图 4 所示。

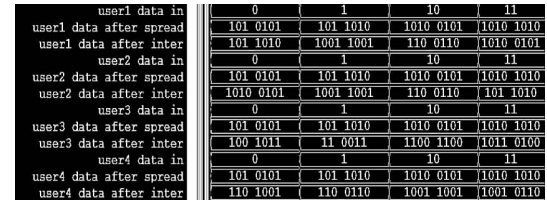


图 4 IDMA 系统的发射端的 Verilog 仿真波形

每个用户的数据帧长为 2,采用码率为 1/4 的重复编码方式,其映射关系:1 => 1010,0 => 0101。经过扩频后,得到“data_after_spread”。例如:用户 1 的输入信号 10 => 10100101(其他用户同理)。然后通过交织器,按照图 2 的方式,根据不同的用户交织序列,得到“data_after_inter”。例如用户 1 的扩频信号经过交织器 10100101 => 01100110。

3.3 IDMA 系统的接收端的仿真

接收端检测到信号,经过量化,编码,得到八个二进制数。再输入解交织器,恢复数据顺序,以便进行解扩频运算。如果是最后一次迭代,解扩频得到的结果经过判决,符号位为 1,输出为 1;符号位为 0,输出为 0。如果不是最后一次迭代,解扩频得到的数据与八个解交织器输出的数据作减法运算,再输入交织器;交织器的输出经过截断函数处理后作为反馈再与接收到的八个二进制数作减法运算,此过程便为一次迭代过程。以上仿真采用的 2 次迭代,从波形图(见图 5)可以看到,接收端的输出有一定程度的延迟。

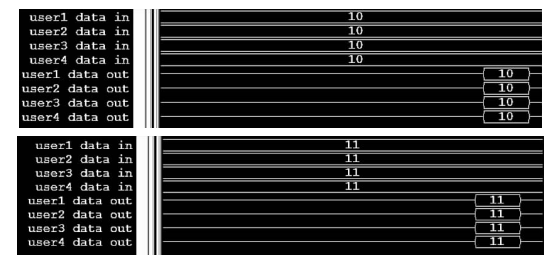


图 5 IDMA 系统接收端的 Verilog 仿真波形

由于 IDMA 采用的是 TURBO 迭代检测^[10],虽然能使检测性能显著地提高,但是在实际应用中,多次的迭代必将带来大的延迟,这在很多高速的实时通信系统中难以接受,其在一定程度上限制了 IDMA 的应用范围。

4 总结

本文对 IDMA 系统进行了仿真设计,与 CDMA 相比, IDMA 以不同的随机交织器区分不同用户,其低复杂度高性能的迭代检测算法使其接收端的结构得到了简化。IDMA 接收端只需要多个多位加法器、移位寄存器、ROM 和 RAM 等最基本的数字信号处理器件,稍微复杂的 tanh 函数,在不影响接收端性能的情况下,也做了简化处理。可以说, IDMA 系统的发射端和接收端在硬件实现上是易于实现的,从而为其应用奠定了基础。但迭代检测存在一定的延迟,这也说明了降低迭代次数的价值,为下一步工作指明了方向:在保证性能的前提下,进一步优化设计和降低迭代次数。

参考文献:

- [1] Li Ping, Liu Lihai, Leung W K. Interleave division multiple access[J]. IEEE Trans., Com., 2006, 5(4):938-947.
- [2] Howard H, Viswanathan H, Foschini C J. Multiple antennas in cellular CDMA systems: Transmission, detection, and spectral efficiency[J]. IEEE Trans on Wireless Commu., 2002, 1(3):383-390.
- [3] Kusume K, Bauch G, Utschick W. IDMA vs. CDMA: detectors, performance and complexity[C]//Proceedings of IEEE Global Telecommunications Conference. Honolulu, USA, 2009:1-8.
- [4] Li Ping. Interleave-division multiple-access and chip-by-chip iterative multi-user detection[J]. IEEE Communications Magazine, 2005, 43(6):S19-S23.
- [5] Irene M Mahafeno, Charlotte Langlais, Christophe Jégo. Reduced complexity iterative multi-user detector for IDMA system[C]//Proceedings of the Global Telecommunications Conference. San Francisco, CA, USA, November 27-December 1, 2006:1-5.
- [6] Li Kai, Wang Xiaodong, Li Ping. Analysis and optimization of Interleave-Division Multiple-Access communication systems[J]. IEEE Transactions on Wireless Communications, 2007, 6(5):1973-1983.
- [7] 兰天. IDMA 迭代检测设计[D]. 成都:电子科技大学, 2008.
- [8] 宋恩德. IDMA 系统的交织器设计及其性能分析[D]. 大连:大连理工大学, 2008.
- [9] 严添明, 吴乐南. PN 码性质特点及其应用[J]. 西部广播电视, 2005(1):15-21.
- [10] 刘东华. Turbo 码原理与应用技术[M]. 北京:电子工业出版社, 2004.

Design of Transmitter and Receiver for IDMA System Based on Verilog

SONG Xiao-bo

(School of Automation and Electronic Information, Sichuan University of Science & Engineering, Zigong 643000, China)

Abstract: IDMA (Interleave-division multiple-access) is a kind of multiple access scheme which not only has the advantages of CDMA (Code-division multiple-access), but also uses interleaving figure mechanism to separate the user so that it can avoid bottleneck in the CDMA limited by the length of the spreading code for separating the user mechanism. The receiver of IDMA uses iterative multiuser detection technique and can effectively improve the spectrum utilization in situation of less increase computational complexity. Based on IDMA technology principle, the transmitter and the receiver in IDMA by using Verilog match with the theory. The simulation result shows that the design of transmitter and receiver for IDMA system satisfies the requirements.

Key words: IDMA; Verilog; CDMA interleaver; interative detection